

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

DIALOG(R)File 347:JAPIO
(c) 1998 JPO & JAPIO. All rts. reserv.

02243525
IMAGE DISPLAY DEVICE

PUB. NO.: 62-160425 [JP 62160425 A]
PUBLISHED: July 16, 1987 (19870716)
INVENTOR(s): ASAKAWA TATSUJI
APPLICANT(s): ASAHI GLASS CO LTD [000004] (A Japanese Company or
Corporation), JP (Japan)
APPL. NO.: 61-000794 [JP 86794]
FILED: January 08, 1986 (19860108)
INTL CLASS: [4] G02F-001/133; G02F-001/133; G09F-009/35; G09G-
003/20
JAPIO CLASS: 29.2 (PRECISION INSTRUMENTS -- Optical Equipment); 44.9
(COMMUNICATION -- Other)
JAPIO KEYWORD:R011 (LIQUID CRYSTALS)
JOURNAL: Section: P, Section No. 650, Vol. 11, No. 395, Pg. 127,
December 24, 1987 (19871224)

ABSTRACT

PURPOSE: To reduce the load on a connector connection by integrating a prescribed gate voltage driving circuit on the substrate of a liquid crystal display device consisting of the substrate which element in matrix and an opposite substrate.

CONSTITUTION: Picture element electrodes 3, etc., connecting with transistors(TR) as active elements in the matrix array are provided on the substrate 1 which holds liquid crystal together with the opposite substrate 2, and the gate electrode driving circuit 9 which drives gate electrodes 5 of the TR group is also integrated. The electrodes 5 each have a logical state of two inputs or three inputs from the circuit 9 selected and are driven with corresponding potentials. This constitution reduces the load on the connector connection and an image display device is constituted easily and securely.

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑪ 公開特許公報(A)

昭62-160425

⑫ Int. Cl. ⁴	識別記号	庁内整理番号	⑬ 公開 昭和62年(1987)7月16日
G 02 F 1/133	3 3 2	7348-2H	
	3 2 7	8205-2H	
G 09 F 9/35		6731-5C	
G 09 G 3/20		D-7436-5C	⑭ 審査請求 未請求 発明の数 1 (全23頁)

⑮ 発明の名称 画像表示装置

⑯ 特 願 昭61-794

⑰ 出 願 昭61(1986)1月8日

⑱ 発 明 者 浅 川 辰 司 東京都大田区大森西1-2-8

⑲ 出 願 人 旭硝子株式会社 東京都千代田区丸の内2丁目1番2号

⑳ 代 理 人 弁理士 梅村 繁郎 外1名

明 細 書

1. 発明の名称

画像表示装置

2. 特許請求の範囲

(1) 能動素子につながる画素電極を形成した基板と対向基板間に挟持される液晶を用いて表示を行なう画像表示装置において、能動素子群を共通接続している電極毎に二入力か三入力で定められる論理状態で電位を選択し該電極に信号を伝える回路を、同一基板上に集積したことを特徴とする画像表示装置。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は能動素子につながる画素電極を形成した基板と対向基板間に挟持される液晶を用いた画像表示装置に関するものである。

〔従来の技術〕

画素電極毎に能動素子で液晶を駆動するアクティブマトリックス型の画像表示装置は、能動

素子群を共通接続している各電極を基板端辺でリード電極として配列し、導電性ゴム状コネクタ若しくはフィルム状フレキシブルコネクタを通して基板外駆動回路からの信号を伝達していた。

〔発明の解決しようとする問題点〕

高密度な画像表示装置では、このコネクタの接続の負担がかなり大きく、本発明は基板と基板外駆動回路間の接続を改良した画像表示装置を提供することを目的とするものである。

〔問題点を解決するための手段〕

本発明はそのために、画像表示装置を構成している基板の形成工程で電極を駆動する回路を作り込み、基板外駆動回路との接続端子数を少なくし、新たな回路の付加が基板の作成上の負担とならない様に配設されており、能動素子につながる画素電極を形成した基板と対向基板間に挟持される液晶を用いて表示を行なう画像表示装置において、能動素子群を共通接続している電極毎に二入力か三入力で定められる論理状

特開昭62-160425(2)

導で電位を選択し該電極に信号を伝える回路を同一基板上に集積したことを特徴とするものである。

第1図は本発明の画像表示装置の液晶表示体の平面図であり、(1)は能動素子につながる画素電極(3)を複数形成した基板、(2)は共通電極を全面又は一点鎖線AA'より画素電極(3)に重なる側一面に形成した対向基板で、共通電極は(1)上の(8)の電極に導電性樹脂で接続されている。(3)に接続されている能動素子、トランジスタのソース電極は(4)、ゲート電極は(5)であり、ソース電極群とゲート電極群は直交してマトリックス状に配列され、各マトリックス点に能動素子につながる画素電極が位置している。(7)は画素毎に形成されている画素データの記憶容量の片側の電極を共通接続した電極であり、図線で示しているが接続した電極である。(9)は能動素子群を共通接続しているゲート電極の駆動回路であり、(1)の基板上の能動素子、画素電極の形成工程で同一の基板

(1)上に集積され、(9)への入力信号、電圧の電極は(8)に示す様に配置されている。液晶は基板(1)、(2)間に挟持されている。

第2図は画素毎に形成された能動素子によって駆動される本発明の画像表示装置の画素の構成図であり、能動素子(10)はトランジスターである。(11)は画素データの記憶容量、(12)は画素電極、(13)は(12)と対向する基板上的共通電極、(14)は液晶、(15)はソース電極、(16)はゲート電極であり、(10)、(11)、(12)、(15)、(16)は第1図(1)の基板上に、(13)は(2)の基板上に形成されている。(13)の電位 V_c は(6)の電極から(11)の片側電極の電位 V_i は(7)の電極から与えられる。(16)に加えられたゲート信号によりオンしたトランジスターは、(15)のソース信号を画素電極に伝え、共通電極との間の電圧を(11)及び(14)の並列容量に蓄え、オフ時にはその蓄えた画素データで画像を表示する。液晶の交流駆動は共通電極電位を基準にして、画素データの極性を周期的に変えることで

行なわれる。

第3図は本発明の画像表示装置の能動素子群を共通接続しているゲート電極の駆動回路図であり、ゲート電極毎に T_k ($k=1, 2\sim K$)、 Q_i ($i=1, 2\sim L$)の二入力で定められる論理状態で、 V_{ss} 或いは V_{DD} の電位を選択し(($R-1$) $\cdot L + S$)番目の行に $P_{k,i}$ の信号を伝えている。 T_k 、 Q_i 、 V_{ss} 、 V_{DD} が第1図に(8)で示した電極から入れられる入力信号、電源であり、($K+L$)個の入力信号で $K\cdot L$ 行のゲート電極の電位を定めることで、基板外駆動回路との接続端子数を(8)の様に削減している。 $P_{k,i}$ の信号の駆動回路を見ると、 T_k を容量(18)を介してドレインに接続し、 Q_i をゲート入力とするトランジスター(17)を備えており、 Q_i をゲート入力とするトランジスター(19)と、(17)のドレイン出力をゲート入力とするトランジスター(20)の直列接続で(17)のドレイン出力をインピーダンス変換して取り出している。(17)、(19)のソース電位

は V_{ss} 、(20)のドレイン電位は V_{DD} であり、(19)のドレインと(20)のソースが接続されている。(21)は1番目のゲート電極に付いている容量であり、(19)、(20)が共にオフである時 $P_{k,i}$ の電位を保持する。この容量は第1図、第2図に示す構成では、ゲート電極とソース電極、記憶容量の片側電極との交差する部分に挟む絶縁膜等の容量、ゲート電極と対向基板の共通電極との間に挟む液晶の容量、及び必要に応じてゲート電極と V_{ss} 、 V_{DD} との間に構成した容量であり、ソース電極電位、 V_i 、 V_c である容量の片側電極の電位、 V_{ss} 、 V_{DD} をまとめて V_{cc} で表しているが、第3図以外の能動素子を共通接続しているゲート電極の駆動回路では、容量は付くものとして図面上では省いている。

【作用】

第4図は第3図の駆動回路の動作を示すタイミングチャートである。以後の説明ではNチャンネルトランジスターを元にして、電位関係を

特開昭62-160425 (3)

説明するが、Pチャンネルトランジスタでは電位関係を逆にすると同様に説明される。

T_i ($R=1,2 \sim K$) は $V_{ii} \sim V_{ss}$ の電位の信号で、 T_i の最初の V_{ss} (ハイ) のクロックパルスから数えると $\{(R-1) \cdot L + 1\}$ 番目から L 個遅延するクロックパルスを出している。 Q_i ($S=1,2 \sim L$) は $V_{ii} \sim V_{ss}$ の電位の信号で、 T_i のクロックパルス L 個に、 $Q_1 \sim Q_L$ の逆相 V_{ii} (ロー) のパルスが同期して L 個ずつ出ている。 $P_{i,1}$ は T_i が V_{ss} (ハイ)、 Q_i が V_{ii} (ロー) で V_{DD} (ハイ)、 Q_i が V_{ss} (ハイ) で V_{ss} (ロー)、 T_i が V_{ii} (ロー)、 Q_i が V_{ii} (ロー) では前の状態を保持しており、 $P_{i,1} \sim P_{i,L}$ に示すゲート電極信号を順に出している。 $P_{i,1}$ が V_{DD} (ハイ) となる場合は、 Q_i が V_{ii} (ロー)、 T_i が V_{ii} (ロー) に続いて Q_i が V_{ii} (ロー)、 T_i が V_{ss} (ハイ) ($V_{DD} < V_{ss}$) 即ち $\overline{Q_i}$ と T_i の論理値がハイとなり、第3図 $P_{i,1}$ の場合の(18)の(17)につながる点

ス電極、(30)は(17)のドレインで(18)の片側電極であり(28)のコンタクトロ(27)で(25)に接続するAl、Ni等の層、(31)はポリイミド膜で、(28)と同材料の膜との積層構造で形成することができる。画素は(23)、(26)、(28)、(29)、(30)の各層と同層で構成される第2図(10)に示すトランジスタとそのドレインにつながる La_2O_3 、 SaO_2 (ITO) 層による画素電極を有しており、トランジスタは半導体層上に遮光膜を備えている。(31)のポリイミド膜と同層の画素電極上の膜は、ラビングにより配向処理層となる。ラビングは第1図に示す(1)の基板全面か、AA'より画素電極(9)のある側一面に行ない、AA'より能動素子群を共通接続している電極の駆動回路(9)のある側にはラビングを行なわない様にし得る。同様に液晶を封入しておくシールを画素電極のある領域より大きめで、駆動回路(9)を含まずAA'より画素電極のある側に形成した場合は、液晶が画素電極のある領域に限られることになる。第1図では

の電位がハイとなり、(20)を通して V_{DD} をゲート電極に伝える。この点に付く(18)以外の容量に比して(18)は充分大きく構成され、ハイの電位はほぼ $V_{ss} - V_{ii} + V_{ss}$ になる。第3図の駆動回路では(17)のソース電位を V_{ii} 、(19)のソース電位を V_{ss} ($V_{ii} \leq V_{ss}$) としても良い。

第5図は本発明の画素表示装置の能動素子群を共通接続しているゲート電極の駆動回路を能動素子につながる画素電極を形成した基板上に集積していることを示す基板の断面図である。(22)は第1図(1)と同じガラス基板であり、(23)は第3図のトランジスタ(17)のゲート、(24)は容量(18)の T_i の信号の伝わる片側電極、(25)はトランジスタ(20)のゲートにつながる電極で、Ni、Cr、Mo、Ta等による層、(26)は(17)、(19)、(20)のゲート絶縁膜、及び(18)の誘電体となる SiO_2 、 Si_3N_4 、 Al_2O_3 、 Ta_2O_5 等による層、(28)は(17)のSi、Te、CdSe等による半導体層、(29)は(17)の V_{ss} につながるソー

(9)から信号の伝えられる各ゲート電極のリードを(1)の基板端辺に配置してあることから、液晶表示体形成後も各ゲート信号を確認できるが、動作状況によっては第1図に示した(9)の回路が機能しない様に(8)の入力を V_{ss} 、或いは V_{DD} に一括接続するか、液晶が上記の様な画素電極のある領域に注入されている場合はAA'で液晶表示体を切断し、上下に配置したソース電極への信号と同様、基板右側のゲート電極よりコネクター接続を用いて基板外駆動回路から信号を入れられる。第5図に示した、能動素子群を共通接続している電極の駆動回路は、基板(22)即ち第1図(1)、及び(2)のガラス表面でAA'より左側の一面に塗料をぬるか、不透明シートを貼付する、或いはケースで覆うことで、遮光され、偏光板を覆われた液晶表示体は基板外駆動回路を要せず、ケースに入れ、基板表面の反射板或いは光源によって反射型或いは透過型の画素表示装置となる。

以上述べてきたことは、液晶表示体の基板端

特開昭62-160425 (4)

辺でコネクタを通して基板外駆動回路からの信号の伝達を行なっている画像表示装置の改良に関するものであったが、本発明は能動素子を共通接続している電極の駆動回路、例えばゲート電極群を駆動するシフトレジスタ、ソース電極群を駆動するシフトレジスタ、ラッチの集積回路を液晶表示体の基板上にチップで或いはパッケージに封入して実装している画像表示装置の改良にも適用される。第6図は第1図と同様に本発明の画像表示装置の液晶表示体の平面図である。(32)、(33)、(34)、(35)、(36)、(37)、(38)、(39)、(40)は(1)、(2)、(3)、(4)、(5)、(6)、(7)、(8)、(9)に対応し、基板(32)、(33)間に液晶を挟持している。(51)、(52)、(53)、(54)はソース電極群を駆動するシフトレジスタ、ラッチの集積回路であり、集積回路への入力信号はシフトレジスタのクロック、データ、ラッチにデータを書き込むライトイネーブル信号とラッチ出力を反転させる極性信号であり、電源の2本の

電極と合わせて6本のリード電極が基板の右側に配置されている。(41)はデータ、(42)はクロック、(43)はライトイネーブル信号、(44)、(45)は電源の正負の各電極、(38)は第2図にV₁で示した画素データの記憶容量の片側電極の入力電位で、ラッチの極性信号となる電極であり、(37)の共通電極と同じ入力とすることができる。(55)は能動素子につながる画素電極を形成した基板(32)の作成工程で、同一基板上に作り込まれた、能動素子を共通接続している電極即ちゲート電極の駆動回路(40)に送る第3図に示すT_n (R=1,2~K)、Q_s (S=1,2~L)の各信号を作っている集積回路であり、(55)へはT_n、Q_sの元になるクロックと第4図に示すV_{ss}、V_{DD}の電源入力がある。基板左側の各リード電極(46)、(47)、(48)から入れられる。(49)、(50)は第3図にV_{ss}、V_{DD}で示す電源の負及び正の電極である。第1図、第6図に示す様にソース電極群と基板外駆動回路との接続端子数、基板上に実装した集積回路からソー

ス電極群への出力端子数がソース電極の総数であるのに対して、ゲート電極の駆動回路(40)を同一基板上へ集積したことによってゲート電極側の基板外駆動回路との接続端子数、基板上へ実装した集積回路(55)から(40)への出力端子数が、ゲート電極の総数より大幅に少なくなっている。B B'は第1図について言及したA A'に対応し(32)の基板の配向処理層のラビング、対向基板の共通電極、液晶を封入するシールの位置は集積回路の実装されている側でなくB D D'より画素電極のある側に限定する。状況に応じてB B'、C C'、B' C' C'等で切断し基板端辺のリード電極より信号を入力し得る等は先述した通りである。ソース電極群、ゲート電極の駆動回路への入力信号、電源は基板の上側、ゲート電極群は基板の右側に各リード電極を配置している。基板上に実装する集積回路への基板端辺のリード電極からの二層の配線は第5図に示してある(23)(24)(25)及び(29)(30)と同層の材料で基板上に形成され、その配

線領域はゲート電極の駆動回路(40)と同様に対向基板(33)で被覆されている。集積回路の実装される端子部分は絶縁膜が除去され、集積回路と基板間の端子接続は、基板上の端子に必要な応じてメッキを施し、チップ品ではワイヤーボンディング若しくはフェイスダウン型のハンダリフローによるボンディングを用い、樹脂封止し、パッケージ品ではハンダ接続等がなされる。

第7図、第8図は第3図と同じく本発明の画像表示装置の能動素子を共通接続しているゲート電極の駆動回路図であり、第9図はその動作を示すタイミングチャートである。ゲート電極群に第7図はT_n、Q_s、第8図はT_n、Q_sの二入力力で定められる論理状態でV_{ss}或いはV_{DD}の電位を選択し、(R-I)・L+S番目の行にP_nの信号を伝えている。第7図はφ、T_n、Q_sをそれぞれゲート入力とするトランジスタ(56)、(57)、(58)の直列接続で構成され、(56)のソース電位は

特開昭62-160425 (5)

V_{ss} 、(59)のドレイン電位は V_{00} で、 T_a 、 Q_s が共に V_{cc} (ハイ)、即ち論理値がハイの時(57)(58)がオンして $P_{a,s}$ が V_{00} (ハイ)となり、いずれかが V_{cc} (ロー)ではクロックφが V_{cc} で(56)を通してプリチャージする V_{ss} (ロー)の電位になる。第8図はφ、 T_a をそれぞれゲート入力とするトランジスタ(59)、(60)の直列接続で構成され、(59)のソース電位は V_{ss} 、(60)のドレイン電位は Q_s で、 T_a が V_{cc} (ハイ)、 Q_s が V_{00} (ハイ)即ち論理値がハイでは(60)により $P_{a,s}$ が V_{00} (ハイ)となり、 T_a が V_{cc} (ロー)或いは Q_s が V_{ss} (ロー)ではクロックφが V_{cc} で(59)を通してプリチャージする V_{ss} (ロー)の電位になる。第4図のタイミングチャートとほぼ同様にして T_a は $V_{cc} \sim V_{00}$ の電位の信号で T_a の最初のハイのクロックパルスから数えると $(R-1) \cdot L + 1$ 番目から L 個連続するクロックパルスを出し、 Q_s 、 Q_s' は $V_{cc} \sim V_{00}$ 、 $V_{ss} \sim V_{00}$ の電位の信号で、 T_a のクロックパルス

れ、ソース電位は Q_s' 、ドレインは出力 $P_{a,s}$ になっている。 T_a が V_{cc} (ハイ)、 Q_s が V_{00} (ハイ)では(62)により $P_{a,s}$ が V_{00} (ハイ)となり、 T_a が V_{cc} (ロー)、 Q_s が V_{ss} (ロー)ではクロックφが V_{cc} で(61)を通してプリチャージする Q_s' (ロー)の電位になる。 Q_s' はφが V_{cc} の時は必ず V_{ss} (ロー)である様に信号が設定されている。クロックφは各ゲート電極の駆動回路に共通である。第8図、第10図の回路で(59)、(61)のソースを T_a 、 T_a のロー電位 V_{cc} を V_{ss} とし、 T_a はφが V_{cc} の時は必ず V_{ss} (ロー)である様に信号を設定すれば、同様に機能する。また第10図の回路は第8図の回路で言及したのと同様に、(62)のゲート入力を $V_{cc} \sim V_{00}$ の電位の信号の Q_s 、(61)、(62)のソース電位を T_a と同相で $V_{ss} \sim V_{00}$ の電位の信号 T_a' とすることができ、 Q_s が V_{cc} (ハイ)、 T_a' が V_{00} (ハイ)で $P_{a,s}$ が V_{00} (ハイ)となり Q_s が V_{cc} (ロー)、 T_a' が V_{ss} (ロー)ではクロックφ

L 個に $Q_s \sim Q_s'$ 、 $Q_s' \sim Q_s$ の同相のパルスが同期して L 個ずつ出ている。各ゲート電極の駆動回路に共通なクロックφは T_a と Q_s 或いは Q_s' が共にロー、即ち V_{cc} 或いは V_{ss} の時 V_{cc} (ハイ)となり、いずれかがハイ、即ち V_{cc} 、 V_{00} の時 V_{cc} (ロー)となる連続信号であり、ゲート電極信号は $P_{a,1} \sim P_{a,L}$ に示す様に順次出力される。第8図に示す回路は(60)のゲート入力を Q_s 、ドレイン電位を T_a と同相で $V_{ss} \sim V_{00}$ の電位の信号 T_a' とすることができ、その場合は T_a' が V_{00} (ハイ)、 Q_s が V_{cc} (ハイ)即ち論理値がハイで $P_{a,s}$ が V_{00} (ハイ)となり、 T_a' が V_{ss} (ロー)では Q_s 論理状態によらず、クロックφが V_{cc} で(59)を通してプリチャージする V_{ss} (ロー)の電位になる。

第10図は第8図の V_{ss} を Q_s' に替えた構成になっており、(59)、(60)が各々(61)、(62)に対応し、φ、 T_a をそれぞれゲート入力とするトランジスタ(61)、(62)の並列接続で構成さ

が V_{cc} で(61)を通してプリチャージする T_a' (ロー)の電位になる。 T_a' はφが V_{cc} の時は必ず V_{ss} (ロー)であるように信号が設定される。

第11図は第7図の V_{ss} 、 V_{00} ($V_{ss} < V_{00}$)の電極を入れ替えた構成になっており、(63)、(64)、(65)が各々(56)、(57)、(58)に対応し、 T_a 、 Q_s が共に V_{cc} (ハイ)で $P_{a,s}$ が V_{ss} (ロー)となり、いずれかが V_{cc} (ロー)ではクロックφが V_{cc} で(63)を通してプリチャージする V_{00} の電位(ハイ)になり、第9図 $P_{a,1} \sim P_{a,L}$ と逆相の信号が出力される。第8図では同様に V_{ss} を V_{00} とし、 Q_s の替わりに $V_{ss} \sim V_{00}$ の電位の反転信号 $\overline{Q_s}$ とする、第10図では Q_s の替わりに $\overline{Q_s}$ とする等して、第11図と同様な出力が得られる。これらの回路のφ、 T_a 、 Q_s 、 $\overline{Q_s}$ を第7図、第8図、第10図のφ、 T_a 、 Q_s 、 Q_s' より少し遅延した信号とするか、φの V_{cc} から V_{cc} への立ち上がり点や $\overline{Q_s}$ の V_{ss} から V_{00} への立ち上がり点を T_a の

特開昭62-160425 (6)

V_{cc} から V_{ii} への立ち下がりが点より遅らせた信号とし、その出力を特願58-195295「画像表示装置」に示す補償信号に用いることができる。

第12図は同様に先願に示したある1行の画素群の補償信号電極が接続する行の駆動素子群を共通接続している電極によって兼ねられている場合に用いられる。本発明の画像表示装置の駆動素子群を共通接続している電極の駆動回路であり、第13図はその動作を示すタイミングチャートである。第12図は $\{(R-1) \cdot L + 1\}$ 番目と $\{(R-1) \cdot L + 2\}$ 番目の行のゲート電極を駆動する信号、 $P_{a,1}$ 、 $P_{a,2}$ を出力する回路である。 $P_{a,1}$ を出力する回路は、出力端子に T_1 、 Q_1 をそれぞれゲート入力とするトランジスタ(87)、(88)の直列接続と T_1 、 Q_2 をそれぞれゲート入力とするトランジスタ(89)、(70)の直列接続と ϕ_1 をゲート入力とするトランジスタ(86)を接続して構成され、(86)のソース電位は V_{ss} 、(88)のドレイン電位は V_{dd} 、(70)のソース電位は V_{dd} で

$V_{ss} < V_{ss}$ である。 $P_{a,2}$ を出力する回路は、出力端子に T_1 、 Q_1 をそれぞれゲート入力とするトランジスタ(72)、(73)の直列接続と T_1 、 Q_2 をそれぞれゲート入力とするトランジスタ(74)、(75)の直列接続と ϕ_2 をゲート入力とするトランジスタ(71)を接続して構成され、(71)のソース電位は V_{ss} 、(73)のドレイン電位は V_{dd} 、(75)のソース電位は V_{ss} である。 $P_{a,1}$ を出力する回路の(89)、(70)と次行の $P_{a,2}$ を出力する回路の(72)、(73)は同じゲート入力信号となっており、 V_{ss} をソース電位とする(89)、(70)は、 V_{dd} をドレイン電位とする(72)、(73)がオンからオフになり、ゲート電位変化が画素電極電位に及ぼす影響を補償する。同様に $P_{a,2}$ を出力する回路の(74)、(75)は次行の画素の補償信号を作る。 ϕ_1 、 ϕ_2 はそれぞれ奇数番目、偶数番目の行の各ゲート電極の駆動回路に共通な $V_{ii} \sim V_{cc}$ ($V_{ii} \leq V_{ss}$)の電位のクロックであり、 T_1 は $V_{ii} \sim V_{cc}$ の電位の信号で T_1 の最初のハイのクロッ

クパルスから数えると $\{(R-1) \cdot L + 1\}$ 番目から L 個連続するクロックパルスを出し、 Q_1 ($S=1,2,3 \sim L$)は $V_{ii} \sim V_{ss}$ の電位の信号で、 T_1 のクロックパルス L 個に Q_1 、 Q_2 、 Q_3 、 $\sim Q_L$ の同相のパルスが同期して1個ずつ出ている。 ϕ_1 、 ϕ_2 は T_1 、 Q_1 が共にロー、即ち V_{ii} の時 V_{cc} (ハイ)となり、いずれかがハイ、即ち V_{cc} の時 V_{ii} (ロー)となる連続信号であり、交互に V_{ii} から V_{ss} への立ち上がり点が遅れている。遅れた場合は T_1 、 Q_1 をゲート入力とし V_{ss} をソース電位とするトランジスタがオフし、 $P_{a,(s-1)}$ 成いは $P_{a,(s-1),1}$ の出力を V_{ss} から V_{ss} にする立ち上がり点、次行の T_1 、 Q_1 をゲート入力とし、 V_{dd} をドレイン電位とするトランジスタがオフし、 $P_{a,s}$ の出力を V_{dd} から V_{ss} にする立ち下がりが点より遅れ、 $P_{a,s}$ を共通なゲート入力とするトランジスタにつながる画素電極のゲート電位変化による影響を補償する。 $P_{a,1}$ 、 $P_{a,2}$ に示すように各出力は V_{dd}

に続いて V_{ss} の電位となるパルス信号を順次出力し、 V_{ss} から V_{ss} となる信号は次行の V_{dd} から V_{ss} になる信号でオンオフするトランジスタにつながる画素電極の補償信号となっている。画素電極の補償容量 C_s をトランジスタのゲート・ドレイン間の容量の実数 N 倍となる様に配置すると、 V_{ss} は $(V_{ss} - V_{dd}) / N + V_{ss}$ の電位に選ばれる。

第9図、第13図のタイミングチャートにおいて Q_1 、 Q_1' は T_1 のハイのクロックパルスと同期しているが、そのパルス幅を図より広く、例えば T_1 の L 個連続するクロックパルスの中のハイ・ローのクロック1個の同期にし ϕ_1 、 ϕ_2 は T_1 のクロックパルスがローの時ハイとなる連続クロックとする。成いは T_1 の L 個連続するクロックパルスの中のハイをロー成いは Q_1 、 Q_1' より広くし、 ϕ_1 、 ϕ_2 は $Q_1 \sim Q_L$ 、 $Q_1' \sim Q_L'$ が同時にローの時ハイとなる連続クロックとする等にして、第7図、第8図、第10図、第11図、第12図の回路を

特開昭62-160425 (7)

動作させることができる。

以上説明した駆動素子を共通接続している電極の駆動回路は、 T_1 と $\overline{Q_1}$ 、又は Q_1 、 Q_1 の論理値がハイで $P_{1,1}$ の出力をハイとし、 T_1 と $\overline{Q_1}$ 、又は Q_1 、 Q_1 の論理値がローではハイとなる $\overline{Q_1}$ 、 ϕ_1 、 ϕ_1 、 ϕ_1 をゲート入力とするトランジスタが動的に $P_{1,1}$ の出力をローとすることから、このローの期間に液晶表示体のソース電極の電位を定めれば、ソース電極の電位はその定電位を介してゲート電極の電位に影響を及ぼさない。一方ゲート電極に付く容量の内、ソース電極との間の容量が充分小さくなる様に液晶表示体が構成されている。例えば画素電極に接続されているトランジスタのソース電極とゲート電極との合わせがセルフアライメント構造になっており、マトリックス状に配列されたソース電極、ゲート電極の交差する部分に画素データの記憶容量の片側電極等の定電位の電極を挟んでいる構造では、ゲート電極に付く容量は、この定電位の電

二状態をとる様になっている。 $P_{1,1}$ は T_1 がハイ、 Q_1 がハイ、即ち論理値ハイで V_{DD} （ハイ）となり、続く T_1 がロー、 Q_1 がハイでは V_{SS} （ロー）となり、以後再び Q_1 がハイで T_1 のローの電位を $P_{1,1}$ に導くまで動的にローの電位を保持し、 $P_{1,1} \sim P_{1,L}$ に示す様に、ゲート電極毎に共通接続されたトランジスタをオンさせる信号を順次出力する。このローの電位の動的な保持期間は画像表示装置のフレーム周期/ K である。

画素データの記憶容量の片側電極の電位及び対向基板の共通電極の電位を一定とし、ソース電極に加えられる電位を変えて液晶の交流駆動を行なう場合は、各ゲート電極の V_{SS} （ロー）の電位を、ソース電位以下となる様に、フレームによって可変とするか、継続的に固定電位とする。各ゲート電極のローの電位を動的に保持しながらフレームによって可変とするには、第14図、第15図では $T_1 \sim T_L$ の電位がいずれもその変えたいローの電位になり $Q_1 \sim Q_L$ が各

極との間に挟む絶縁膜の容量、対向基板の共通電極との間に挟む絶縁膜の容量等であり、画素電極に接続されるトランジスタをオフさせるゲート電極の電位を動的に保ちつつソース電極の電位を変化させられる。

第14図は $V_{1,1} \sim V_{cc}$ の電位の Q_1 をゲート入力とし、 $V_{SS} \sim V_{DD}$ の T_1 をソース電位とするトランジスタ（76）がそのドレイン出力を $P_{1,1}$ として、共通接続されたゲート電極に信号を伝えるようになっている。 T_1 は T_1 の最初の V_{DD} （ハイ）のクロックパルスから数えると、 $\{(R-1) \cdot L + 1\}$ 番目から L 個連続するクロックパルスを出し、 Q_1 は T_1 のクロックパルス L 個に $Q_1 \sim Q_L$ のパルスが同期して1個ずつ出ており、そのパルス幅は T_1 の L 個連続するクロックパルスの中のハイ、ローのクロック1個の周期とほぼ同じで、第15図タイミングチャートに示す様に同期している。 Q_1 、 T_1 は、 Q_1 が V_{cc} （ハイ）で T_1 のクロックパルスが V_{DD} （ハイ）、 V_{SS} （ロー）の

ゲート電極にローの電位を導く期間を用意することで行なわれる。画素データの記憶容量の片側電極の電位及び対向基板の共通電極の電位を変えて液晶の交流駆動を行なう場合は、これらの電位変化で変わる画素電極の電位及びソース電位以下となる様に、各ゲート電極の V_{SS} （ロー）の電位を、前記の如くフレームによって可変とするか、継続的に固定電位とする。各ゲート電極のローの電位を動的に保持している場合は、記憶容量の片側電極の電位及び共通電極の電位の変化で、そのローの電位も変わることから、変わっても画素電極の電位及びソース電位以下となるように予め $T_1 \sim T_L$ の V_{SS} の固定電位を定めるか、更に前述の様に $T_1 \sim T_L$ の電位を変化させたいローの電位にし、 $Q_1 \sim Q_L$ が各ゲート電極にローの電位を導く期間を用意することでフレームによってゲート電極のローの電位が可変とされる。 V_{SS} の電位を可変とする場合は $V_{DD} - V_{SS}$ 間の電圧、若しくは $V_{cc} - V_{DD} - V_{SS} - V_{1,1}$ 間の電圧を一定に

特開昭62-160425 (8)

保ちつつ行ない得る。

第16図は、第9図タイミングチャートに示す $P_{r1,1} \sim P_{r1,L}$ が T_{r1} の L 個連続するクロックパルスの中のハイ、ローのクロック1個の周期毎に順次出力され、そのパルス幅がクロックのハイのパルス幅になっていたのを、第17図タイミングチャートに示す様に $P_{r1,1}, P_{r2,1} \sim P_{r1,L}, P_{r2,L}$ が T_{r1}, T_{r2} の L 個連続するクロックパルスの中のハイ、ローのクロック半周期毎に順次出力され、パルス幅をその半周期となる様にした駆動回路であって、 $\{(R_1-1) \cdot 2L+2S-1\}$ 番目と $\{(R_1-2) \cdot 2L+2S\}$ 番目 ($R_1=R_1+1$) の接続する奇数番目、偶数番目の行のゲート電極に信号 $P_{r1,S}, P_{r2,S}$ を出力する。 $P_{r1,S}$ を出力する回路は ϕ_1 、 T_{r1} 、 Q_S をそれぞれゲート入力とするトランジスタ(77)、(78)、(78)の直列接続で構成され、(77)のソース電位は V_{SS} 、(78)のドレイン電位は V_{DD} であり、 $P_{r2,S}$ を出力する回路は、 ϕ_2 、 T_{r2} 、 Q_S をそれぞれゲート入力とするトラン

ϕ_1 、 ϕ_2 が V_{SS} (ハイ) ではローに動的に定まり、 V_{DD} (ロー) では T_{r1} 、 T_{r2} と Q_S の論理値がハイの時以外はローに動的に定まる。第18図の回路は第8図の様に(78)、(81)のドレイン電位を、 Q_S と同相で $V_{SS} \sim V_{DD}$ の電位の Q_S とし、(79)、(82)を除いた構成としても良い。また $T_{r1}, T_{r2} \sim T_{rN}$ のハイのクロックパルスが順に Q_S のハイの期間に出され、それぞれ $T_{r1}, T_{r2} \sim T_{rN}$ が L 個まで連続するクロックパルスを順に出すに従って $Q_1, Q_2 \sim Q_L$ がハイとなる様にし、 $\phi_1, \phi_2 \sim \phi_N$ は $T_{r1}, T_{r2} \sim T_{rN}$ の反転信号で、第18図の様に $P_{r1,S}, P_{r2,S} \sim P_{rN,S} (S=1 \sim L)$ を出力する駆動回路を構成し、第17図の様に順次 $P_{r1,1}, P_{r2,1} \sim P_{rN,1} \sim P_{r1,L}, P_{r2,L} \sim P_{rN,L}$ の信号が出力されるように構成され得る。これは N 行の連続する各ゲート信号を、同様なシークエンスで $N \cdot L$ 行まで出力するようになっており、 $R=1 \sim K$ とすれば $K \cdot N \cdot L$ 行まで出力することになる。 Q_S は L 個、 T_{r1}

ジスター(80)、(81)、(82)の直列接続で構成され、(80)のソース電位は V_{SS} 、(82)のドレイン電位は V_{DD} であって、 Q_S と T_{r1}, T_{r2} が共に V_{DD} (ハイ) 即ち論理値がハイで出力 $P_{r1,S}, P_{r2,S}$ が V_{DD} (ハイ) となり、 T_{r1}, T_{r2} が V_{DD} (ロー) では V_{SS} となるクロック ϕ_1, ϕ_2 をゲート入力とするトランジスターがプリチャージする V_{SS} (ロー) の電位になる。 T_{r1}, T_{r2} は $V_{DD} \sim V_{SS}$ の電位の信号で T_{r1} の最初のハイのクロックパルスから数えると $\{(R_1-1) \cdot 2L+1\}$ 番目から交互にハイのクロックパルスを L 個続けて出し、 Q_S は $V_{DD} \sim V_{SS}$ の電位の信号で T_{r1}, T_{r2} のそれぞれ最初のハイのクロックパルスから数えて S 番目のハイのクロックパルス幅の和に等しい幅のハイのパルスを順に出し、 ϕ_1, ϕ_2 はそれぞれ奇数番目、偶数番目の行の各ゲート電極の駆動回路に共通な $V_{DD} \sim V_{SS}$ の電位の信号で、 T_{r1}, T_{r2} の L 個連続するクロックの反転された連続信号となっており、 $P_{r1,S}, P_{r2,S}$ はそれぞれ

$\sim T_{rN}$ は $K \cdot N$ 個の入力信号であって、 $\phi_1 \sim \phi_N$ は各 $K \cdot L$ 個のゲート電極に共通なプリチャージ用のクロック信号である。

〔実施例〕

第18図は本発明の画像表示装置の実施例の液晶表示体の平面図であり、(83)は駆動素子につながる画素電極(85)を複数形成した基板、(84)は画素電極に重なる複数の列電極を形成した対向基板である。(86)は(85)を含む1列の各画素電極との間に画素データの記憶容量を形成する基板(83)上の列電極(87)はこの1列の各画素電極に重なる基板(84)上の列電極であり、(88)は(85)を含む1行の画素における対となる2本の行電極である。各画素電極と2本の行電極間には駆動素子、ダイオード対が接続され、2本の行電極は左右に振り分けられて、それぞれ基板(83)上の行電極の駆動回路(92)、(93)により信号が伝えられる様になっている。(92)、(93)は(83)の基板上の駆動素子、列電極、画素電極の形成工程で集積され、(92)、(93)への入

特開昭62-160425 (9)

力信号は(90)、(91)に示す様に、列電極と共に基板の上側に配置されそのリード電極数は行電極の総数より大幅に削減されている。液晶は基板(83)、(84)間に挟持されるが、基板(83)の逆向処理層のラビング、液晶を封入するシールの位置は、第1図にA-A'で示したのと同様にし、基板上の行電極の駆動回路を含まずE-E'とF-F'間の画素電極のある領域に限っても良い。

第19図は本発明の画像表示装置の実施例の画素の構成図であり、(94)、(95)は互いに逆方向のダイオード対、(96)は画素電極、(97)は画素データの記憶容量、(98)は(97)の片側電極で各画素電極との間で記憶容量を形成する列電極、(99)は(96)と対向する基板上の列電極で、(98)と(99)は同番号が加えられることを示し、(100)は液晶、(101)、(102)は(96)との間に互いに逆方向のダイオードが形成された対となる2本の行電極であり、(94)、(95)、(96)、(97)、(98)、(101)、(102)は第18図(83)の基

板上に、(99)は(84)の基板上に形成されている。行電極(101)、(102)に、駆動回路(92)、(93)より伝えられた行信号は、1行の画素の選択期間、ダイオードを通して画素電極に導かれ、列電極(98)、(99)に加えられるデータとの画素電圧を(97)及び(100)の並列容量に画素データとして蓄え、非選択期間には、画素電極に対し行電極を、ダイオード対が逆方向にバイアスされる電位とし、選択期間に蓄えた電圧を保持して画像を表示する。液晶の交差駆動は画素データの極性を周期的に変えることで行なわれる。

第20図は本発明の画像表示装置の実施例の駆動素子群を共通接続している行電極の駆動回路図であり、第21図はその動作を示すタイミングチャートである。第20図は $\{(R-1) \cdot L + S\}$ 番目の行の画素群の対となる2本の行電極の駆動回路であり、第19図の(101)へは $P_{i,s}$ 、(102)へは $P'_{i,s}$ を出力する。 $T_{i,s}$ 、 $Q_{i,s}$ 或いは $T'_{i,s}$ 、 $Q'_{i,s}$ の二入力で定められる論

理状態で V_{DD} 、 V_{SS} か V_{SS} の近傍電位或いは V_{DD} 、 V_{HH} か V_{HH} の近傍電位を選択し、行電極に伝える様になっており、 $P_{i,s}$ を出力する回路はダイオード(103)のN型半導体層に $T_{i,s}$ 、P型半導体層に抵抗(104)を介して $Q_{i,s}$ を接続し、 $P'_{i,s}$ を出力する回路はダイオード(105)のP型半導体層に $T'_{i,s}$ 、N型半導体層に抵抗(106)を介して $Q'_{i,s}$ を接続した構成になっている。第4図のタイミングチャートとほぼ同様にして $T_{i,s}$ は $V_{SS} \sim V_{DD}$ ($V_{SS} < V_{DD}$)の電位の信号で、 $T_{i,s}$ の最初のハイのクロックパルスから数えると $\{(R-1) \cdot L + 1\}$ 番目から L 個連続するクロックパルスを出し、 $Q_{i,s}$ は $V_{SS} \sim V_{DD}$ の電位の信号で $T_{i,s}$ のクロックパルス L 個に $Q_{i,s} \sim Q_{i,s}$ の同相のパルスが同期して L 個ずつ出ており、 $T'_{i,s}$ 、 $Q'_{i,s}$ は $T_{i,s}$ 、 $Q_{i,s}$ と逆相で $V_{DD} \sim V_{HH}$ ($V_{DD} < V_{HH}$)の電位の信号である。 $P_{i,s}$ を出力する回路は $T_{i,s}$ 、 $Q_{i,s}$ が共に V_{DD} (ハイ) 即ち論理値がハイで $P_{i,s}$ が V_{DD} (ハイ) となり、 $T_{i,s}$ 、 $Q_{i,s}$ のいずれかが V_{SS}

(ロー) では V_{SS} 近傍か V_{SS} (ロー) であり、 $P'_{i,s}$ は $T'_{i,s}$ 、 $Q'_{i,s}$ が共に V_{DD} (ロー) 即ち論理値がローで $P'_{i,s}$ が V_{DD} (ロー) となり、 $T'_{i,s}$ 、 $Q'_{i,s}$ のいずれかが V_{HH} (ハイ) では V_{HH} 近傍か V_{HH} (ハイ) となる。ここで近傍とは、 $Q_{i,s}$ より $T_{i,s}$ の電位が高ければダイオード(103)は逆方向にバイアスされ、 $P_{i,s}$ は抵抗(104)に導かれる $Q_{i,s}$ の電位となるが、 $Q_{i,s}$ より $T_{i,s}$ の電位が低ければ(103)は順方向にバイアスされ、 $P_{i,s}$ はダイオードの順方向分の電圧を $T_{i,s}$ に加えた電位、 $T_{i,s}$ 近傍の電位となることを指している。 $P_{i,1} \sim P_{i,L}$ に示す様に順次行信号が出力され、 $P'_{i,1} \sim P'_{i,L}$ は同期した逆相の信号となっている。 V_{HH} は $2V_{DD} - V_{SS}$ に選ばれ、第20図の回路の $T_{i,s}$ と $Q_{i,s}$ 、 $T'_{i,s}$ と $Q'_{i,s}$ は入れ替えても良く、第21図で $T_{i,s}$ のハイ、 $T'_{i,s}$ のローのクロックパルスに同期している $Q_{i,s}$ のハイ、 $Q'_{i,s}$ のローのパルス幅を広くする、或いは $T_{i,s}$ 、 $T'_{i,s}$ の L 個連続するクロックパルスのハイ、ローのデューティ比を変え、

特開昭62-160425 (10)

T₁のハイ、T₂のローのクロックパルスの給を広くする等して回路を動作させても良く、また第16図、第17図の様にT₁₁、T₁₂のハイのクロックパルスが順にQ₁のハイの期間に出され、それぞれT₁₁、T₁₂が交互に1個遅延するクロックパルスを順に出すに従って、Q₁、Q₂～Q₄がハイとなる様にし、P₁₁₁、P₁₂₁～P₁₁₁、P₁₂₁及びほぼ同様にして逆相のP₁₁₁、P₁₂₁～P₁₁₁、P₁₂₁を出力するように構成しても良い。

第22図は本発明の画像表示装置の実施例の能動素子群を共通接続している行電極の駆動回路を能動素子につながる画素電極を形成した基板上に集積していることを示す基板の断面図である。(107)は第18図(83)と同じガラス基板であり、(108)は第20図ダイオード(103)のN型半導体層に接続する電極でNi、Cr、Mo、Ta等による層、(109)、(110)、(111)はN型、I型、P型のSiによる各半導体層でCVD法で堆積されたダイオード(103)、(112)はSiO₂、

Si₃N₄、SiO₂N₂等の絶縁膜、(115)、(116)、(117)はAl、Ni等による層で、(115)はコンタクトロ(113)により(108)と接続するT₁の信号電極、(116)はコンタクトロ(114)で(103)のP型半導体層に接続する電極、(117)はQ₁の信号電極であり、(116)、(117)に接続している(118)はI₂O₃、S₂O₃(ITO)層による抵抗(104)であり、(119)はポリイミド膜で(112)と同材料の膜との積層構造で形成することができる。画素は(108)、(109)、(110)、(111)、(112)、(116)、の各層と同層で構成される第19図(94)、(95)に示すダイオードとその電極につながる(118)と同層で構成される画素電極を有し、(119)のポリイミド膜と同層の画素電極上の膜はラビングにより配向処理層となる。

本発明の実施例で能動素子、ダイオードとして、上述したPIN接合ダイオードの他、PIN構造のP型半導体層を金属に替えたMINショットキーダイオードを使用でき、第

18図の液晶表示体の(82)、(93)駆動回路に接続している行電極は、EE'、FF'より駆動回路側で、基板端辺の列電極のリード電極と同様な形状、構造にし、必要に応じてその行電極のリード電極を端辺としてEE'、FF'より駆動回路側で基板を切断し、基板に合う対向基板と重ねて液晶表示体を構成することができ、また基板の左右に配置した行電極の駆動回路はまとめて第1図の様に一方の側に配置し得る。

第23図は本発明の画像表示装置の他の実施例の液晶表示体の平面図であり、(120)は能動素子につながる画素電極(122)を複数形成した基板、(121)は共通電極を全面又は一点鎖線G' H' H'より画素電極(122)に重なる側面に形成した対向基板で、共通電極は(120)上の(125)の電極と導電性樹脂で接続されている。(122)に接続されている能動素子、トランジスタのソース電極は(123)、ゲート電極は(124)であり、ソース電極群とゲート電極群はマトリックス状に直交し、各マトリックス点に

能動素子につながる画素電極が配置されている。(128)は画素毎に形成されている画素データの記憶容量の片側の電極を、破線で示す様に共通接続した電極である。(128)は能動素子群を共通接続しているゲート電極の駆動回路、(130)は能動素子群を共通接続しているソース電極の駆動回路であり、(120)の基板上の能動素子、画素電極の形成工程で同一の基板(120)上に作り込まれ集積される。(128)、(130)への入力信号、電源の電極はそれぞれ(127)、(129)に示す様に基板端辺に配列され、ゲート電極、ソース電極の総数より大幅に削減されている。液晶は基板(120)、(121)間に挟持されている。基板(120)の配向処理層のラビング、液晶を封入して置くシールの位置は(128)、(130)の駆動回路を含まずG' H' H'より画素電極のある側に設け、状況に応じてGG'、HH'等で基板を切断し、基板に合う対向基板と重ねた液晶表示体を構成し、基板端辺のゲート電極、ソース電極の各リード電極より信号が

特開昭62-160425 (11)

入れられる。ゲート電極の駆動回路は、第3図、第7図、第8図、第10図、第11図、第12図、第14図、第16図の様に構成され、第5図に示した様にゲート電極、ソース電極の駆動回路は、能動素子につながる画素電極を形成した基板上に集積される。

第24図は本発明の画素表示装置の他の実施例の、能動素子群を共通接続しているソース電極の駆動回路図であり、ソース電極毎に T_i ($i = 1, 2 \sim K$)、 Q_i ($i = 1, 2 \sim L$) の二入力で定められる論理状態で、データ D の電位を選択し、 $\{(R-1) \cdot L + S\}$ 番目の列に $O_{i,s}$ の信号を伝えている。 T_i 、 Q_i 等の入力信号については、ゲート電極の駆動回路と同記号を使用しているが、説明上の都合であって、ゲート電極、ソース電極それぞれの駆動回路に固有の信号であり、ゲート電極の駆動回路が T_i 、 Q_i の論理状態で1行のゲート電極を走査する期間に、ソース電極の駆動回路はその各 T_i 、 Q_i の論理状態で選択したデータをソース電極

を通して1行の各画素に送る。第3図、第7図、第8図、第10図、第11図、第12図の様にゲート電極の駆動回路を構成した場合は、前述した如くハイとなる $\overline{Q_i}$ 、 ϕ 、 ϕ_1 、 ϕ_2 をゲート入力とするトランジスタが動的に $P_{i,s}$ の出力をローとする期間に、ソース電極の駆動回路はその各 T_i 、 Q_i の論理状態でデータを選択する。ゲート電極に付く容量の内、ソース電極との間の容量が充分小さくなる様に画素表示体が構成され、第14図、第16図を含めて記述した様にゲート電極の駆動回路を構成した場合は、成る1行のゲート電極に共通接続された各画素のトランジスタをオン・オフ後、ソース電極の駆動回路はその各 T_i 、 Q_i の論理状態でデータを選択し、次行の各画素のトランジスタがオンしている期間に各画素電極と共通電極間の画素データの電圧を確定する。第24図は T_i 、 Q_i をそれぞれゲート入力とするトランジスタ(131)、(132)の直列接続で構成され、(131)のソースはデータ D 、

(132)のドレインは $\{(R-1) \cdot L + S\}$ 番目の列のソース電極に接続されており、(132)はそのソース電極に付く容量である。この容量は第23図に示す構成ではソース電極とゲート電極、記憶容量の片側電極との交差する部分に挟む絶縁膜等の容量、ソース電極と対向基板の共通電極との間に挟む液晶の容量及び必要に応じてソース電極と電極電極との間に構成した容量であり、ゲート電極電位、第2図による V_{i1} 、 V_{i2} 、電極電位をまとめて、第3図の様に V_{cc} で表しているが、第24図以外の能動素子を共通接続しているソース電極の駆動回路では容量は付くものとして図面上では省いている。第23図のタイミングチャートに示す様に、 T_i は $V_{cc} \sim V_{cc}$ の電位の信号で T_i の最初の V_{cc} (ハイ) のクロックパルスから数えると $\{(R-1) \cdot L + 1\}$ 番目から L 個連続するクロックパルスを出し、 Q_i は $V_{cc} \sim V_{cc}$ の電位の信号で T_i のクロックパルス L 個に $Q_i \sim Q_i$ のパルスが同期して1個ずつ出ており、そのパルス幅

は T_i の L 個連続するクロックパルスの中のハイ、ローのクロック1個の周期と同じになっている。 T_i 、 Q_i がいずれも V_{cc} (ハイ)、即ち論理値がハイで(131)、(132)がオンし、 D の電位を選択し、(133)の容量に蓄え、 T_i 、 Q_i のいずれかが V_{cc} (ロー) では(131)、(132)の一方がオフし、ソース電極の電位は(133)により、選択された電位を動的に保持する。ゲート電極の駆動回路が行毎に順次 $P_{i,s}$ の信号を出したのと同じく、 $O_{i,s}$ の信号は列毎に順次定められ、 $V_{i1} \sim V_{iL}$ の電位の $O_{i,1}$ 、 $O_{i,2} \sim O_{i,L}$ の信号を出している。液晶の交流駆動を行なうために、1フレーム後にはデータ D の電位が $(V_{i1} + V_{iL})/2$ を中心として $V_{i1} \sim V_{iL}$ 間で、若しくは V_{i1} を中心として $(2V_{i1} - V_{iL}) \sim V_{i1}$ 間に反転され、 $O_{i,1}$ 、 $O_{i,2} \sim O_{i,L}$ も反転された信号となる。ソース電極の駆動回路の T_i 、 Q_i の信号の電位 $V_{i1} \sim V_{iL}$ ($V_{i1} \leq (2V_{i1} - V_{iL})$ 、 $V_{i1}, V_{iL} < V_{cc}$) は、ゲート電極の駆動回路の

特開昭62-160425 (12)

T_1, Q_1 等の信号の電位と異なる様に選べるが、同じにしても良く、 $P_{1,1}$ の信号の電位 $V_{11} \sim V_{00}$ の範囲としても良い。D の電位は T_1, Q_1 の論理値がハイとなるタイミングで選択されることから、タイミングチャートの Q_1 の、 T_1 との論理値がハイより以前のハイの期間は、図示の様に T_1 の L 個連続するクロックの半周期より長くすることができる。

第23図に示した液晶表示体の(128)、(130)の各電極の駆動回路は、基板端辺のリード電極から T_1, Q_1 等の入力信号、電源電位を入れているが、第6図の様に基板上に集積回路を実装し、これらの信号、電位を供給し、リード電極数を更に少なくすることが可能である。第28図は第23図を改良した液晶表示体の部分平面図である。(128)、(130)は第23図と同じくゲート電極の駆動回路、ソース電極の駆動回路であり、(120)に対応する(134)の基板上に集積されている。(135)は(121)に対応する共通電極を形成した対向基板であり、(128)、(130)に

きる。

第27図は第24図と同じく本発明の画像表示装置の他の実施例の駆動素子群を共通接続しているソース電極の駆動回路図であり、第25図タイミングチャートに示す $O_{1,1}, O_{1,2} \sim O_{1,1}$ が T_1 の L 個連続するクロックパルスの中のハイ、ローのクロック 1 個の周期毎に順次データ D の選択された電位に定められていたのに対し、第28図タイミングチャートに示す様に $O_{1,1,1}, O_{1,2,1} \sim O_{1,1,1}, O_{1,2,1} (J=1,2,3)$ は、 Q_1 がハイの期間に交互にハイとなる $T_{1,1}, T_{1,2}$ によって、その L 個連続するクロックパルスの中のハイ、ローのクロックの半周期毎に順次データ D_j の選択された電位に定められており、データ線を 3 本にして、 D_1, D_2, D_3 のデータを並列に供給していることで Q_1 と $T_{1,1}$ 成いは $T_{1,2}, Q_1$ の同じタイミングで $O_{1,1,1}, O_{1,2,1}, O_{1,3,1}$ 、成いは $O_{1,1,2}, O_{1,2,2}, O_{1,3,2}$ の 3 個の信号を定めている。第27図の回路の基本的な構成は

それぞれ T_1, Q_1 等の信号、電源電位を供給する集積回路(145)の実装される $G H^+ H$ より左上側の領域を除いて、(134)と重ね合わされている。(136)は(128)への T_1, Q_1 等の信号の元になるクロックを、(137)、(138)、(139)、(140)は $V_{ss}, V_{cc}, V_{00}, V_{11}$ で示した電源電位で、信号のハイ、ローの基準となる電位をそれぞれ入れるリード電極である。同様に(141)は(130)にデータ D を、(142)は(130)への T_1, Q_1 等の信号の元になるクロックを、(143)、(144)は V_{ss}, V_{cc} で示した電源の正負の電位を与えるリード電極であり、(136)～(140)、(142)～(144)の各電極が(145)に接続されている。勿論(141)を(145)に接続し、(145)でデータを構成して(130)に供給しても良い。(145)は又、第23図に該線で示し(126)から入っていた画素データの記憶容量の片側電極の電位を供給しており、対向基板の共通電極を同電位とする様に第23図の(125)を該線で示す電極と接続することがで

第24図と同じく、2 個のトランジスタの直列接続から成っており、 $T_{1,1}, Q_1$ を共通なゲート入力とする(146)、(147)が $O_{1,1,1}$ (148)、(149)が $O_{1,2,1}$ 、(150)、(151)が $O_{1,3,1}$ の信号をそれぞれ D_1, D_2, D_3 から選択し、 $T_{1,2}, Q_1$ を共通なゲート入力とする(152)、(153)が $O_{1,2,2}$ 、(154)、(155)が $O_{1,2,3}$ 、(156)、(157)が $O_{1,2,1}$ の信号を同様に D_1, D_2, D_3 から選択している。選択は $T_{1,1}, Q_1$ 成いは $T_{1,2}, Q_1$ のいずれも V_{ss} (ハイ)、即ち論理値がハイで行なわれ、いずれかが V_{cc} (ロー)、即ち論理値がローでは選択した電位を保持している。 D_1, D_2, D_3 は、R (赤)、G (緑)、B (青)の各色信号を、液晶表示体の選択された行の画素群の列方向のカラーフィルターの配置に合わせて選んだデータとする。例えば列方向のカラーフィルターが G、B、R、G、B、R... の順であれば D_1 は G、 D_2 は B、 D_3 は R とすることができ、 Q_1 と $T_{1,1}$ 成いは $T_{1,2}$ により同様に 3 列

特開昭62-160425 (13)

が選択されてG、B、Rの各ソース電極電位が定められる。選択された行の画素群のカラーフィルターがB、次の行がR、その次の行がGの期であれば、 D_1 、 D_2 、 D_3 は行の選択に応じて同一色のB、R、Gのデータになる。第27図、第28図では Q_s と T_{k1} 或いは T_{k2} により論理する3列の電位を同時に確定しているが、第6図の(51)~(54)の集積回路が、液晶表示体の4グループに分けられたソース電極群にそれぞれ信号を送っている様に、第29図の液晶表示体のソース電極群を3グループに分け、 D_1 、 D_2 、 D_3 はその各グループのソース電極の電位を定めるデータとし、各グループ毎に Q_s 、 T_{k1} 或いは Q_s 、 T_{k2} の二入力の場合論理状態でデータを選択し、各ソース電極の電位を定める回路を配列することによって同時に3グループ各1列のソース電極電位が定められる。データ線に M ($M > 3$) 本にして、 D_1 、 D_2 、 D_3 、 $\sim D_M$ のデータを並列に供給すれば同時に M 列のソース電極の電位が定められることになり、

る。 D の電位を第25図の様に $V_a \sim V_b$ 、若しくは V_a を中心として $(2V_a - V_b) \sim V_b$ とすると、 $V_{cc} \leq V_{ss} \leq (2V_a - V_b)$ 、 V_a 、 $V_b < V_{cc} < V_{ss}$ に電源電位が設定される。(160)のゲート信号 $P_{k1,s}$ を出力する回路は、第3図、第7図、第8図、第10図、第16図の様に構成しても良い。

第30図は第27図と同様に駆動素子群を共通接続しているソース電極の駆動回路図であり V_{ss} をソース電位とし ϕ_1 をゲート入力とするトランジスタ(181)とドレイン電位を $Q's$ とし T_{k1} をゲート入力とするトランジスタ(182)の直列接続の出力 $P_{k1,s}$ を共通なゲート入力とし、データ D_1 、 D_2 、 D_3 をソースにそれぞれ接続したトランジスタ(183)、(184)、(185)と、 V_{ss} をソース電位とし ϕ_2 をゲート入力とするトランジスタ(186)とドレイン電位を $Q's$ とし T_{k2} をゲート入力とするトランジスタ(187)の直列接続の出力 $P_{k2,s}$ を共通なゲート入力とし、 D_1 、 D_2 、 D_3

T_{k1} 、 T_{k2} の入力信号が各 K 個、 Q_s の入力信号が L 個、 D_j の入力信号が M 個であるから、 $(2K + L + M)$ 個の入力信号で $2K \cdot L \cdot M$ 列のソース電極の電位が定められる。

第29図は第24図と同じく駆動素子群を共通接続しているソース電極の駆動回路図であり、 Q_s をゲート入力とし、 T_{k1} をソース電位とするトランジスタ(158)とそのドレイン出力をゲート入力とし、データ D をソースに接続したトランジスタ(160)から構成され、(159)は(158)のドレイン電位 $P_{k1,s}$ を動的に保持するために電源電位 V_{ss} との間に形成された容量であり、(160)の出力 $O_{k1,s}$ は $\{(R-1) \cdot L + S\}$ 番目のソース電極の電位となる。 $P_{k1,s}$ を出力する回路の構成は第14図と同様であり、 $P_{k1,s}$ はそのタイミングチャート第15図に示す様に T_{k1} と Q_s の論理値がハイで V_{cc} となり(160)をオンし、 $O_{k1,s}$ に D の電位を導き、続く T_{k1} がロー、 Q_s がハイでは V_{ss} となり(168)をオフし $O_{k1,s}$ の電位を動的に保持す

る。ソースにそれぞれ接続したトランジスタ(168)、(169)、(170)から構成され、その各出力 $O_{k1,s}$ 、 $O_{k2,s}$ 、 $O_{k3,s}$ 或いは $O_{k1,s}$ 、 $O_{k2,s}$ 、 $O_{k3,s}$ は $Q's$ と T_{k1} 或いは T_{k2} の同じタイミングで定められ、ソース電極の電位を確定している。 $P_{k1,s}$ 、 $P_{k2,s}$ を出力する回路の構成は第8図と同様であり、同様の回路構成第16図のタイミングチャート第17図に示す様に $P_{k1,s}$ 、 $P_{k2,s}$ は、 $Q's$ と T_{k1} 、 T_{k2} の論理値がハイで V_{cc} となり、その出力にゲートを共通に接続しているトランジスタをオンし、第28図の様に $O_{k1,s}$ 、 $O_{k2,s}$ ($J = 1, 2, 3$)に D_j の電位を導き、 $Q's$ と T_{k1} 、 T_{k2} の論理値がローではクロック ϕ_1 、 ϕ_2 をゲート入力とするトランジスタがプリチャージする V_{ss} の電位になり、その出力にゲートを共通に接続しているトランジスタをオフし、 $O_{k1,s}$ 、 $O_{k2,s}$ の電位を動的に保持する。

これらのソース電極の駆動回路は、 T_{k1} 、

特開昭62-160425 (14)

Q_i等の論理値がハイでデータD_iの電位を選択し、論理値がローではその電位を動的に保持してソース電極列の信号を定めていたが、1行の画素群のそれぞれの画素電極に接続されている各トランジスタがオンし、ソース電極の信号を画素電極に伝え、続いて各トランジスタがオフし、画素電極の電位が保持される。この画素データが画素電極と共通電極間に確定される期間、静的な信号をソース電極に定める様にソース電極の駆動回路を構成することができる。第31図はこの様なソース電極の駆動回路図であり、第24図と第3図に示した回路を組み合わせて構成されている。即ちT₁、Q₁をそれぞれゲート入力とするトランジスタ(171)、(172)を直列接続し、(171)のソースをデータD_i、(172)のドレインをトランジスタ(174)、(176)の各ゲート及び容量(173)に接続し、(174)、(178)の各ソース及び(173)の片側電極を電源V₁ (174)のドレインを容量(175)を介して信号φと(176)に直列接続され

るトランジスタ(177)のゲートにつなぎ、(177)のドレインを電源V₂に接続している。(171)、(172)は第25図と同じくT₁、Q₁の論理値がハイでオンしてD_iの電位を選択し、(173)及び(174)、(176)のゲート・ソース間の容量に答え、論理値がローではオフしてその容量の電位O₁を保持する。第32図タイミングチャートに示す様にT₁、Q₁の論理値がハイで選択されたD_iの電位即ちO₁がV₁ (ロー)であれば(174)、(176)がオフし、V₂ (ハイ)であれば(174)、(176)がオンし出力Z₁はV₁ (ロー)になる。ソースをV₁、ドレインを(177)のゲートに接続し、信号φをゲート入力とするトランジスタ(178)は、1行の画素群の走査期間でφがV₁ (ロー)の間に、φをV₂ (ハイ)として(177)のゲート及び(175)の容量の電位をV₁に定める。(174)、(178)がオフではφがV₂ (ハイ)となると(177)はゲート電位がハイとなってオンし、Z₁はV₂ (ハイ)となる。

ゲート電極の駆動回路がそのT₁、Q₁等の論理状態で生成するP₁、V₀₀ (ハイ)の1行の画素群のトランジスタをオンさせる期間はφがハイの期間内にあり、静的なソース電極の電位で画素データが定められることを示している。(V₁、V₂)はタイミングチャート第25図、第28図のデータの電位(V₁、V₂)、若しくは(2V₁ - V₁、V₂)に設定され、V₁ ≤ V₂ ≤ V₀₀ ≤ V₁、V₂ ≤ V₀₀ ≤ V₂ ≤ V₀₀ < V₂に選ばれる。(174)、(178)のゲート信号O₁を出力する回路は第23図、第30図の様に構成しても良く、(178)のゲート信号はT₁若しくはQ₁としても良い。

第33図は第31図と同様なソース電極の駆動回路図であり、(179)、(180)、(181)、(182)、(183)、(184)、(185)は(171)、(172)、(173)、(174)、(175)、(176)、(177)に対応している。第32図タイミングチャートのD_iの波形に示す様に、T₁、Q₁が共にハイの時、前半はV₂ (ハイ)、後半

V₁ (ロー)、V₂ (ハイ)のいずれかの本来選択したいデータとなる様に構成すれば、T₁、Q₁の論理値がハイでオンした(179)、(180)は、前半で(182)、(184)をオンさせ(185)のゲート及び(183)の容量の電位をV₁に定め、後半で選択したいデータをO₁として確定することから、第31図の(178)の機能を(182)に含められる。

第31図では二入力T₁、Q₁で定められる論理状態でD_iの電位を選択し、O₁の電位を定めていたが、V₁ ~ V₂の電位のデータD₁とQ₁との二入力で定められる論理状態で、V₂の電源電位を選択してO₁を定め、Z₁をソース電極列に出力するようにして駆動回路を構成しても良い。その場合のD₁は、これまでに説明したT₁に対応し、T₁が1個超越するクロックパルスを出している期間はV₁ (ロー)、V₂ (ハイ)のデータをQ₁がハイの期間を覆う様に順次出し、T₁がローでクロックパルスを出していない期間は同様に

特開昭62-160425 (15)

ローとなっている信号である。第34図は二入力 D_i 、 Q_i で定められる論理状態で V_v の電位を選択し、 $O_{i,s}$ の電位を定め、 ψ がハイの期間ソース電極列に静的な電位を送るソース電極の駆動回路図であり、(186)、(187)、(188)、(189)、(190)、(191)、(192)、(193) は第31図の(171)、(172)、(173)、(174)、(175)、(176)、(177)、(178) に対応し、(186) のソースは電源電位 V_v 、(187) のゲート入力はデータ D_i となっている。第35図は第34図の回路のタイミングチャートである。 Q_i がハイでは、 D_i がハイの時、(188)、(187) がオンし、 $O_{i,s}$ は V_v (ハイ) になり、 D_i がローの時(187) はオフしていることから $O_{i,s}$ は初期的に定められたローの電位を保持し、 Q_i がローでは(186) がオフすることから $O_{i,s}$ は以前の電位に保たれている。(194) は1行の画素群の走査期間内で、 ψ が V_{cc} (ロー) で、 D_i 、 Q_i による V_v の選択が開始される以前に、 V_{cc} (ハイ) となる

第38図はデータが D_j とその反転データ $\overline{D_j}$ から成り、第24図の回路を二組使い、 $T_{i,s}$ 、 Q_i の論理状態で D_j 、 $\overline{D_j}$ の電位を選択して $O_{j,s}$ 、 $\overline{O_{j,s}}$ を定め、それぞれ V_x (ロー)、 V_v (ハイ) にソース、ドレインが接続されたトランジスタのゲートを制御して $Z_{j,s}$ を動的に出力するソース電極の駆動回路図である。直列接続されたトランジスタ(195)、(198) のゲート入力は $T_{i,s}$ 、 Q_i で(195) のソースは D_j 、(198) のドレインは V_x にソースが繋がれたトランジスタ(201) のゲート及び V_x に片側電極が繋がれた容量(197) に接続され、同様に直列接続されたトランジスタ(198)、(199) のゲート入力は $T_{i,s}$ 、 Q_i で(198) のソースは $\overline{D_j}$ 、(199) のドレインは V_v にドレインが繋がれたトランジスタ(202) のゲート及び V_v に片側電極が繋がれた容量(200) に接続され、(201)、(202) は直列接続されている。(195)、(198) 及び(198)、(199) は $T_{i,s}$ 、 Q_i の論理値がハイでオンして

ゲート信号 ψ によってオンし、 $O_{i,s}$ の電位を V_v に初期的に定める。同時に(193) により(192) のゲート及び(190) の容量の電位が V_v に定められる。 D_i 、 Q_i による V_v の選択が終了すると、 ψ が V_{cc} (ハイ) となり、 $O_{i,s}$ がローでは $Z_{i,s}$ を V_v (ハイ) とし、 $O_{i,s}$ がハイでは $Z_{i,s}$ を V_x (ロー) に保っている。 $P_{i,s}$ に示す1行の画素群をオンさせる期間は、第32図と同じく ψ がハイの期間内にある。この回路で、(193) のゲート信号は Q_i にしても良く、又(186) のゲート信号をデータ D_i 、(187) のゲート信号を $T_{i,s}$ とし、その場合の D_i は Q_i に対応し、 Q_i がハイの時 V_{cc} (ロー)、 V_{cc} (ハイ) のデータを $T_{i,s}$ がハイの期間を覆う様に出し、 Q_i がローの時は同様にローとなる様にしても良い。その際の(193) のゲート信号は $T_{i,s}$ にし得る。(186)、(187)、(188)、(194) で構成される回路は、 $O_{i,s}$ の電位を動的に保持してソース電極列の信号を定める方式の駆動回路にも用いられる。

V_v (ロー)、 V_v (ハイ) の D_j 及び $\overline{D_j}$ の電位を選択し容量(197) 及び容量(200) に蓄え、論理値がローではオフしてそれぞれの容量の電位 $O_{j,s}$ 及び $\overline{O_{j,s}}$ を保持する。 $(O_{j,s}, \overline{O_{j,s}})$ が (V_v, V_v) では(201) がオフ、(202) がオンで $Z_{j,s}$ は V_v (ハイ) となり、 (V_v, V_v) では(202) がオフ、(201) がオンで $Z_{j,s}$ は V_x (ロー) となり、静的にソース電極列の電位を定める。(197)、(200) の容量はそれぞれ(201) のゲート・ソース間の容量(202) のゲート・ドレイン間の容量で構成でき、 V_x 、 V_v に接続されている容量の片側電極は V_x 、 V_v に接続し得る。

以上のソース電極の駆動回路では、データ線 M 本にして駆動する実施例を含めて掲げたが、画素表示体のゲート電極群を M グループに分け、画素電極に接続されているトランジスタをオンさせる電位を供給する電源線を各グループ毎に分け、 $V_1 \sim V_M$ はその各グループの電

特開昭62-160425 (16)

素線の電位とし、 T_k ($k=1, 2 \sim K$)、 Q_s ($s=1, 2 \sim L$) の二入力で定められる論理状態で電位を選択しゲート電極に信号を伝える回路を各グループ毎に配置し、 T_k 、 Q_s は各グループに共通な信号とすることによって、 $K \cdot L \cdot M$ 行のゲート電極の電位を定めることができる。

第37図は本発明の画像表示装置の更に他の実施例の、駆動素子群を共通接続しているゲート電極の駆動回路図であり、第38図はその動作を示すタイミングチャートである。φ、 T_k 、 Q_s をそれぞれゲート入力とするトランジスタ(203)、(204)、(205)は直列接続され、(203)のソースは駆動電極に接続されているトランジスタをオフさせる。第37図型の各行のそれぞれの回路に共通な電源 V_{ss} に、(205)のドレインは各グループ毎に独立な電源電位 V_j ($j=1 \sim M$) に接続され、(203)、(204)のドレイン、ソースの接続点より $((j-1) \cdot K \cdot L + (R-1) \cdot L + S)$ 番目の行に $P^{j,k,s}$

ゲート電極に信号を送れる様にしたものであり、(206)、(207)、(208)、(209)は(17)、(18)、(19)、(20)に対応し、(206)、(208)のゲート信号は Q_s 、(207)の容量への入力信号は T_k 、(208)のソースは第38図型の各行のそれぞれの回路に共通な電源 V_{ss} に、(209)のドレインは V_j に接続され、(206)、(209)のドレイン、ソースの接続点より $P^{j,k,s}$ の信号が出力されている。第12図に示した回路は電源 V_{DD} 、 V_{BB} をそれぞれ V_{DD} 、 V_{BB} としてグループ毎に配することにより上記と同様にできる。又第37図に示す回路の(205)のドレインを $V_{ss} \sim V_{DD}$ の電位で Q_s と同相の Q'_s とし、(205)のゲート信号を $V_{cc} \sim V_{ee}$ の電位で V_j と同相の信号とし、 V_j と同相の信号が V_{cc} (ロー)で(205)をオフ、 V_{ee} (ハイ)で(205)をオンさせることにより第38図と同様な $P^{j,k,s}$ の出力を得ることができる。その回路では(203)のソースを Q'_s 若しくは T_k のロー電位が V_{ss} であれば T_k にし得る。同様にして第

の信号を伝えている。 V_j は $((j-1) \cdot K \cdot L + 1)$ 番目の行から数えて $K \cdot L$ 行のゲート電極群に順次トランジスタをオンさせる信号を送る期間 V_{DD} で他の期間は V_{ss} となる電源電位であり、 T_k 、 Q_s が共に V_{cc} (ハイ)では(204)、(205)がオンし、 V_j が V_{DD} の時 $P^{j,k,s}$ は V_{DD} (ハイ)、 V_j が V_{ss} の時は V_{ss} (ロー)である。 $P^{j,k,s}$ は T_k 、 Q_s の論理値がローではφが V_{cc} (ハイ)で(203)をオンさせてプリチャージする V_{ss} (ロー)の電位となる。 $P^{j,k,1}$ は $((R-1) \cdot L + 1)$ 番目の行の信号、 $P^{j,k,1}$ は $P^{j,k,1}$ のハイ信号を送出後、 T_k 、 Q_1 の信号が一巡し、再び T_k 、 Q_s の論理値がハイとなった時、 V_j の電位を選択してハイとなる $(K \cdot L + (R-1) \cdot L + 1)$ 番目の行の信号である。

第39図は第3図に示したゲート電極の駆動回路を、第37図と同様に電源 V_{DD} を V_j としてグループ毎に配し、 T_k 、 Q_s の信号を各グループに共通とすることによって $K \cdot L \cdot M$ 行の

37図に示す回路の(205)のドレインを $V_{ss} \sim V_{DD}$ の電位で T_k と同様の T'_k とし、(204)のゲート信号を $V_{cc} \sim V_{ee}$ の電位で V_j と同相の信号とし、その信号が V_{cc} (ロー)で(204)をオフ、 V_{ee} (ハイ)で(204)をオンさせることにより $P^{j,k,s}$ の信号を出力しても良く、(203)のソースを T'_k 若しくは Q_s のロー電位が V_{ss} であれば Q_s にできる。このような回路は、二入力 T_k 、 Q'_s 若しくは T'_k 、 Q_s で定められる論理状態で電位を選択し、トランジスタを共通接続しているゲート電極にトランジスタをオン、オフさせる信号を伝える回路を、グループ毎に動作可能とする制御機能を付加したことに相当し、 T_k 、 Q_s の二入力に一入力増加したその制御信号が上記の $V_{cc} \sim V_{ee}$ の電位で V_j と同相の信号であり、 V_{ee} ならばオン、オフ信号を送り、 V_{cc} ならばトランジスタ群をオフに保つ。勿論第37図では(203)、(204)、(205)と、第39図では(209)と直列に、ゲート入力とその $V_{cc} \sim V_{ee}$ の電位で V_j と同相の同

特開昭62-160425 (18)

T_{11} 、 Q_{11} の論理値がローでは P_{111} は V_{11} 近橋(ロー)であり、 V_{11} が V_{00} (ロー)では、 T_{11} 、 Q_{11} がいずれも V_{00} (ロー)即ち論理和がローで P_{111} は V_{00} (ロー) T_{11} 、 Q_{11} の論理和がハイでは P_{111} は V_{11} 近橋(ハイ)であり、 V_{11} 、 V_{11} が V_{11} (ロー)、 V_{11} (ハイ)では T_{11} 、 Q_{11} に依らず P_{111} 、 P_{111} は V_{11} (ロー)、 V_{11} (ハイ)で第11図とほぼ同様な動作をする。

第17図から第41図について説明した電位電位、制御信号となる V_{11} 、 V_{11} は T_{11} 、 Q_{11} 、 T_{11} 、 Q_{11} を共通に入力している隣接するM行の画素群の行電極の駆動回路のそれぞれについて個別に V_{11} 、 V_{11} 、 V_{11} 、 $V_{11} \sim V_{11}$ 、 V_{11} として配することにより、第1図、第6図、第18図、第23図に示す液晶表示体の画素群に選択的な駆動方向への1回の駆動でK・L行の画素データを確定し、M回の駆動でK・L・M行の全画素群の画素データを定め得る。

の平面図、第2図は画素の構成図、第3図は駆動素子群を共通接続しているゲート電極の駆動回路図、第4図は第3図の回路の動作を示すタイミングチャート、第5図は第3図の回路を駆動素子につながる画素電極を形成した基板上に集積していることを示す基板の断面図である。第6図は本発明の画像表示装置の液晶表示体の平面図、第7図、第8図は駆動素子群を共通接続しているゲート電極の駆動回路図、第9図は第7図、第8図の回路の動作を示すタイミングチャート、第10図、第11図、第12図は駆動素子群を共通接続しているゲート電極の駆動回路図、第13図は第12図の回路の動作を示すタイミングチャートである。

第14図、第18図は駆動素子群を共通接続しているゲート電極の駆動回路図、第15図、第17図はそれぞれ第14図、第16図の回路の動作を示すタイミングチャートである。

第18図は本発明の画像表示装置の実施例の液晶表示体の平面図、第19図は画素の構成図、第

[発明の効果]

以上の様に本発明は高密度な画像表示装置で問題となっていた、液晶表示体の基板上のリード電極と基板外駆動回路間の接続の良否を、画素電極毎に駆動素子で液晶を駆動するアクティブマトリックス型の画像表示装置の液晶表示体の基板の形成工程で、駆動素子群を共通接続している電極を駆動する回路を作り込み同一基板上に集積することによって軽減したものであり、その駆動回路が二入力か三入力で定められる論理状態で電位を選択する簡単な構成であることから製造上有利である。駆動素子がトランジスターである駆動回路は直接的な電流消費を伴わない様に、駆動素子がダイオードである駆動回路は T_{11} か Q_{11} 、或いは V_{11} の信号線、電極線の数分の1以下に直接的な電流消費がなる様に構成されており、画像表示装置として優れた特徴を有するものである。

4. 図面の簡単な説明

第1図は本発明の画像表示装置の液晶表示体

20図は駆動素子群を共通接続している行電極の駆動回路図、第21図は第20図の回路の動作を示すタイミングチャート、第22図は第20図の回路を駆動素子につながる画素電極を形成した基板上に集積していることを示す基板の断面図である。

第23図は本発明の画像表示装置の他の実施例の液晶表示体の平面図、第24図は駆動素子群を共通接続しているソース電極の駆動回路図、第25図は第24図の回路動作を示すタイミングチャート、第26図は第23図を改良した液晶表示体の部分平面図である。

第27図、第29図、第30図は駆動素子群を共通接続しているソース電極の駆動回路図、第28図は第27図の回路の動作を示すタイミングチャートである。

第31図、第33図、第34図、第36図は駆動素子群を共通接続しているソース電極の駆動回路図、第32図、第35図はそれぞれ第31図、第34図の回路の動作を示すタイミングチャートであ

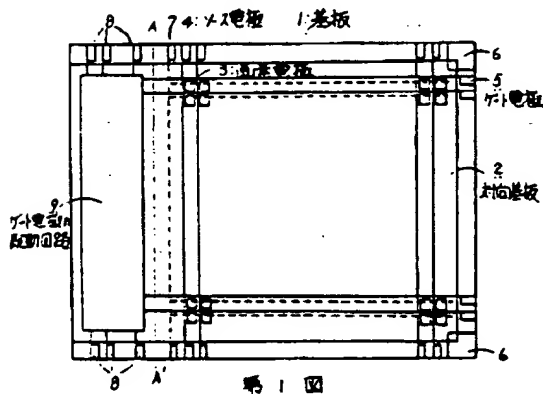
特開昭62-160425 (19)

る。

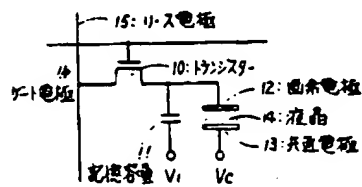
第37図は本発明の画像表示装置の更に他の実施例の能動素子群を共通接続しているゲート電極の駆動回路図、第38図は第37図の回路の動作を示すタイミングチャート、第39図は能動素子群を共通接続しているゲート電極の駆動回路図である。

第40図は本発明の画像表示装置の改良された更に他の実施例の能動素子群を共通接続している行電極の駆動回路図であり、第41図は第40図の回路の動作を示すタイミングチャートである。

- (1) : 能動素子につながる画素電極を複数形成した基板
- (2) : 共通電極を形成した対向基板
- (3) : 画素電極
- (4) : ソース電極
- (5) : ゲート電極
- (6) : 共通電極に接続された電極
- (7) : 画素データの記憶容量の片側の電極を共



第 1 図

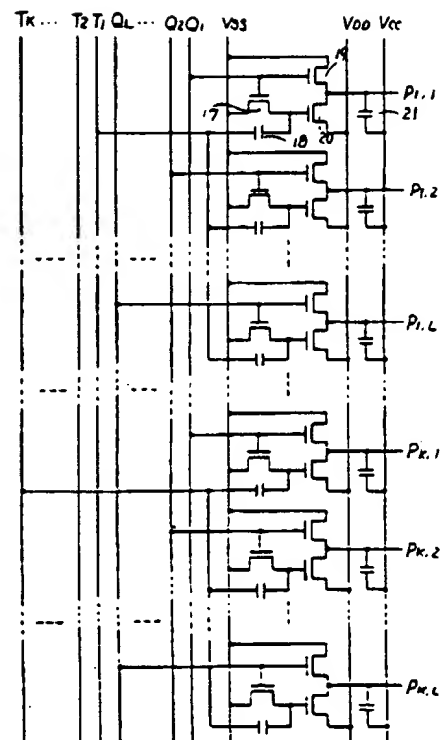


第 2 図

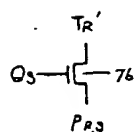
共通接続した電極

- (8) : 能動素子群を共通接続しているゲート電極の駆動回路への入力信号、電極の電極
- (9) : (1) 上に形成された能動素子群を共通接続しているゲート電極の駆動回路

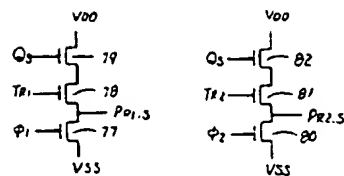
代理人 母村繁郎 外 1 名



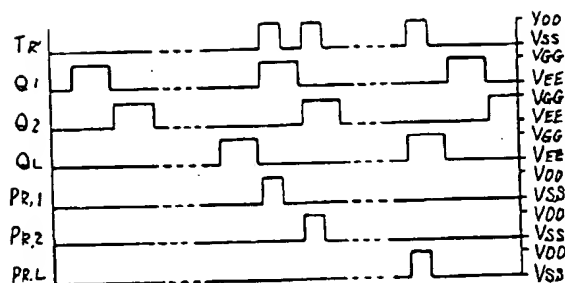
第 3 図



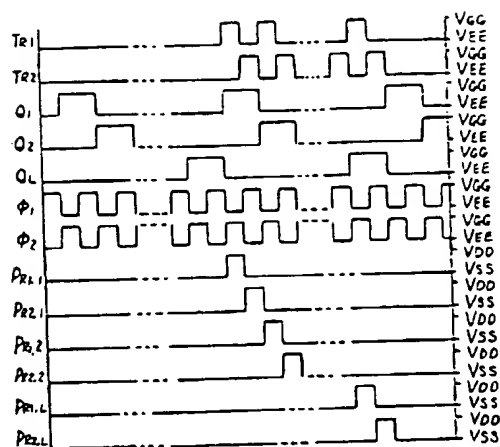
第 14 図



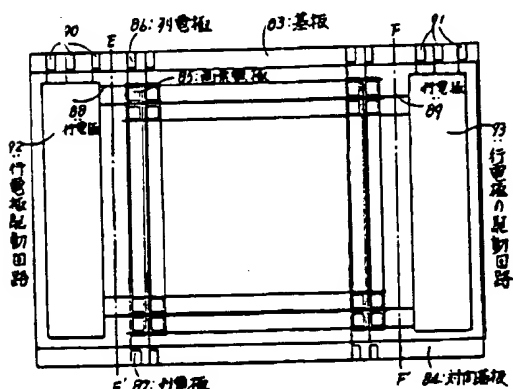
第 16 図



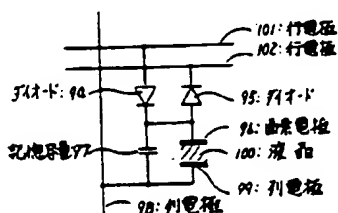
第 15 図



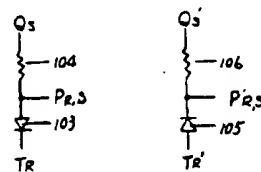
第 17 図



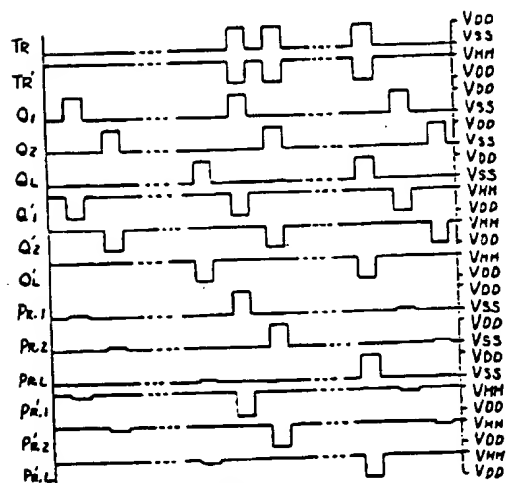
第 18 図



第 19 図

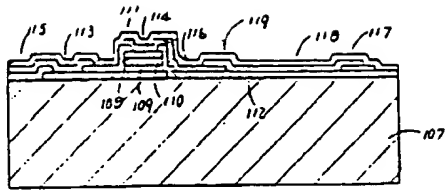


第 20 図

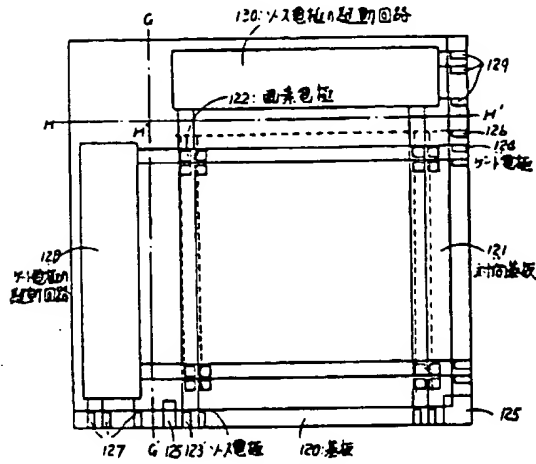


第 21 図

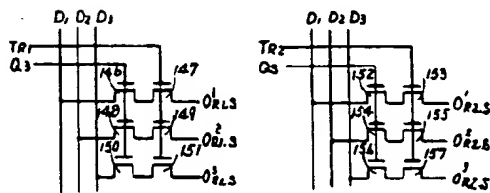
特開昭62-160425 (22)



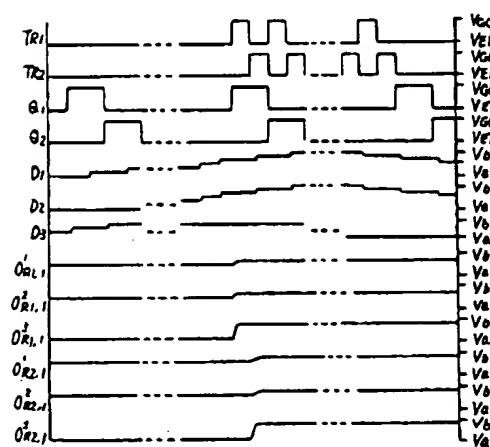
第 22 図



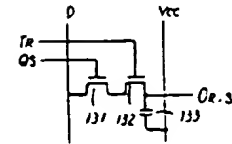
第 23 図



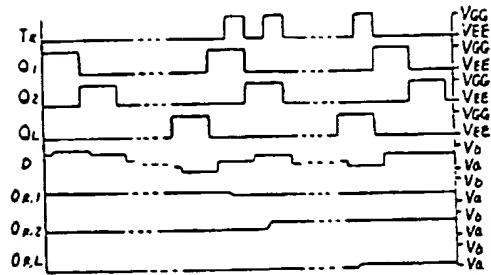
第 27 図



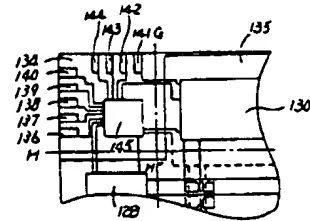
第 28 図



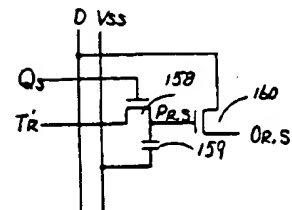
第 24 図



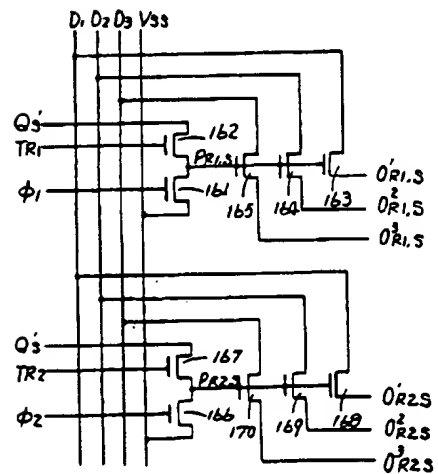
第 25 図



第 26 図



第 29 図



第 30 図

